

PATENT
8947-000077/US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Ho-Cheol LEE Conf. No.: Unknown
Filing Date: March 18, 2004 Examiner: Unknown
Application No.: NEW Group Art Unit: Unknown
Title: SEMICONDUCTOR PACKAGE HAVING MULTIPLE
EMBEDDED CHIPS

PRIORITY LETTER

March 18, 2004

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sirs:


Pursuant to the provisions of 35 U.S.C. 119, enclosed is a certified copy of the following priority document(s).

<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
10-2003-0044677	July 2, 2003	Korea

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By 
John A. Castellano, Reg. No. 35,094

P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

Attorney Docket No. 8947-000077
HARNES, DICKEY & PIERCE, PLC
703-668-8000



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0044677
Application Number

출원년월일 : 2003년 07월 02일
Date of Application JUL 02, 2003

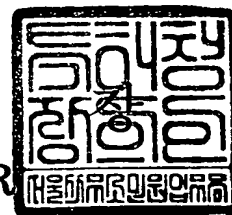
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 01 월 02 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0002		
【제출일자】	2003.07.02		
【발명의 명칭】	멀티칩을 내장한 반도체패키지		
【발명의 영문명칭】	Semiconductor Package Having Multi-Chips		
【출원인】			
【명칭】	삼성전자 주식회사		
【출원인코드】	1-1998-104271-3		
【대리인】			
【성명】	임창현		
【대리인코드】	9-1998-000386-5		
【포괄위임등록번호】	1999-007368-2		
【대리인】			
【성명】	권혁수		
【대리인코드】	9-1999-000370-4		
【포괄위임등록번호】	1999-056971-6		
【발명자】			
【성명의 국문표기】	이호철		
【성명의 영문표기】	LEE,HO-CHEOL		
【주민등록번호】	651124-1018016		
【우편번호】	449-846		
【주소】	경기도 용인시 수지읍 풍덕천리 삼성5차아파트 518동 201호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	4	면	4,000 원

1020030044677

출력 일자: 2004/1/5

【우선권주장료】	0	건	0	원
【심사청구료】	16	항	621,000	원
【합계】	654,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】

【요약】

본 발명은 반도체 패키지에 관한 것이다.

본 발명에서는 반도체패키지 내의 칩들의 공통적인 기능을 하는 회로를 각각의 칩들에서 모두 동작시키지 않고 그들 중 어느 하나 또는 일부의 회로만을 동작시켜서 반도체패키지 내의 모든 칩들이 정상적으로 동작할 수 있도록 하여 반도체패키지 내의 전체전류를 감소시킬 수 있는 반도체패키지를 개시한다.

【대표도】

도 2b

【색인어】

반도체패키지, 전원발생회로, 칩, MCP, 리드프레임



【명세서】

【발명의 명칭】

멀티칩을 내장한 반도체패키지{Semiconductor Package Having Multi-Chips}

【도면의 간단한 설명】

도 1은 동일한 전원발생회로 및 칩 내부회로들을 구비하고 있는 두 개의 칩으로 구성된 반도체패키지를 보여주는 도면,

도 2a는 본 발명의 실시예에 따른 반도체패키지의 본딩와이어링 전의 구성을 보여주는 도면,

도 2b는 본 발명의 실시예에 따른 반도체패키지의 본딩와이어링 후의 구성을 보여주는 도면,

도 3a는 본 발명의 다른 실시예에 따른 반도체패키지의 본딩와이어링 전의 구성을 보여주는 도면,

도 3b는 본 발명의 다른 실시예에 따른 반도체패키지의 본딩와이어링 후의 구성을 보여주는 도면,

도 4a는 본 발명의 또 다른 실시예에 따른 PCB기판을 이용한 반도체패키지의 결선전의 구성을 보여주는 도면,

도 4b는 본 발명의 또 다른 실시예에 따른 PCB기판을 이용한 반도체패키지의 결선전의 구성을 보여주는 도면이다.

본 발명에 따른 도면들에서 실질적으로 동일한 구성과 기능을 가진 구성요소들에 대하여는 동일한 참조부호를 사용한다.



* 도면의 주요부분에 대한 부호의 설명 *

100 : 반도체 패키지

F1,F2,F3 : 리드프레임

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 반도체메모리장치에 관한 것으로, 더욱 상세하게는 다수 개의 칩을 내장하는 반도체패키지에 관한 것이다.

<13> 디지털 신호처리 기술이 발전함에 따라, 오디오, 비디오 및 통신 시스템 등에 사용되는 논리 소자의 신호처리 방식은 기존의 아날로그 신호처리 방식에서 디지털 신호처리 방식으로 급격히 전환되고 있다.

<14> 이러한 추세에 맞추어 멀티 칩 패키지가 개발되고 있다. 멀티칩패키지는 마이크로 소자와 같은 논리 칩과 정보를 저장/재생할 수 있는 메모리 칩을 차례로 적층시킨 후, 논리칩과 메모리칩을 전기적으로 연결하여 제조된다. 이러한 멀티 칩 패키지는 메모리 칩과 논리 칩을 개별적으로 패키지하지 않기 때문에 부피를 적게 차지하는 장점을 갖고, 그 결과 전자 제품의 소형화에 유리하다.

<15> 멀티 칩 패키지가 동작하기 위해서는 상기 적층된 두 칩을 전기적으로 연결하는 동시에 외부 전자장치와 연결을 위한 리드 프레임에 상기 칩들을 전기적으로 연결하는 것이 요구된다. 이러한 전기적 연결은, 통상적으로, 상기 적층된 칩들에 구비된 본딩 패드를 와이어 본딩의 기술로 연결하는 방법이 사용된다.

- <16> 특히, 멀티칩 패키지에 있어서, 패키지의 각각의 칩은 전원회로 또는 클럭발생회로와 같이 그 기능이 동일한 회로들을 구비하고 있다. 패키지의 각각의 칩이 서로 동일한 칩인 경우에는 칩 내의 모든 구성요소들이 동일하다.
- <17> 특히 패키지의 칩들은 각각 전원회로를 구비하고 있고, 이들은 각각 외부전원을 입력받아 칩내에 필요한 각종 전원들을 발생한다.
- <18> 도 1은 동일한 전원발생회로 및 칩 내부회로들을 구비하고 있는 두 개의 칩으로 구성된 반도체패키지를 보여주는 도면이다.
- <19> 도 1에서와 같이 반도체패키지 내의 각각의 칩들이 각각의 칩내에 전원을 공급하기 위한 전원발생회로를 구비하고 있는 경우, 패키지 내의 칩들의 수가 증가할수록 패키지 내의 전체전류는 증가하게 된다는 문제점이 있다.
- <20> 특히, 최근에는 휴대폰과 같은 모바일기기에서는 전류의 소모량을 줄여 배터리의 사용시간을 최대한 늘리는 것이 중요하므로, 이와 같은 패키지 내의 칩들의 증가에 따라 패키지 내의 전류가 증가되는 것은 심각한 문제가 된다.
- 【발명이 이루고자 하는 기술적 과제】
- <21> 본 발명은 상기의 문제점을 해결하기 위하여 창안된 것으로, 본 발명의 목적은 적은 동작전류를 이용하여 구동할 수 있는 반도체패키지를 제공하는데 있으며, 본 발명의 다른 목적은 반도체패키지 내의 칩의 갯수가 늘어나더라도 전체전류가 칩의 갯수에 비례하여 증가하지 않는 반도체 메모리장치를 제공하는데 있다.

【발명의 구성 및 작용】

- <22> 상기의 목적을 달성하기 위한 본 발명의 구성은 다수 개의 칩들을 포함하여 구성되는 반도체패키지에 있어서, 상기 칩들은 각각 동일한 공통회로를 구비하고, 상기 칩들중 일부의 공통회로가 인에이블(Enable)되면 나머지 칩들의 공통회로는 디스에이블(Disable)되며, 상기 인에이블된 공통회로가 상기 디스에이블된 공통회로가 있는 칩에 상기 공통회로의 기능을 대신 제공하는 것을 특징으로 한다.
- <23> 바람직한 실시예에 있어서, 상기 다수 개의 칩들은 반도체메모리칩인 것을 특징으로 한다.
- <24> 바람직한 실시예에 있어서, 상기 다수 개의 칩들은 마이크로프로세서칩인 것을 특징으로 한다.
- <25> 바람직한 실시예에 있어서, 상기 다수 개의 칩들중 일부는 마이크로프로세서칩이고 나머지는 반도체메모리칩인 것을 특징으로 한다.
- <26> 바람직한 실시예에 있어서, 상기 반도체메모리칩은 동적랜덤엑세스메모리 (Dynamic Random Access Memory : DRAM)칩, 정적랜덤엑세스메모리(Static Random Access Memory: SRAM), 또는 플래시메모리중 어느 것이 될 수 있다.
- <27> 바람직한 실시예에 있어서, 상기 공통회로는 전원발생회로인 것을 특징으로 한다.
- <28> 바람직한 실시예에 있어서, 상기 공통회로는 신호발생회로인 것을 특징으로 한다. 특히, 상기 공통회로는 클럭버퍼가 될 수도 있으며, 이를 이용하여 각각의 칩에서 사용하는 신호(Signal)을 공통으로 사용할 수 있다.
- <29> 바람직한 실시예에 있어서, 상기 다수 개의 칩들은 두 개 칩인 것을 특징으로 한다.

- <30> 상기의 목적을 달성하기 위한 본 발명의 다른 구성은 다수 개의 칩을 포함하여 구성되는 반도체패키지에 있어서, 상기 칩들은: 각각 동일기능을 하는 공통회로와; 인에이블/디스에이블 선택부를 구비하며, 상기 칩들중 일부의 공통회로가 상기 인에이블/디스에이블 선택부에 의해 인에이블되고, 나머지 칩들의 공통회로가 상기 인에이블/디스에이블 선택부에 의해 디스에이블되며, 상기 인에이블된 공통회로들이 상기 디스에이블된 공통회로가 있는 칩들에 상기 공통회로의 기능을 대신 제공하는 것을 특징으로 한다.
- <31> 바람직한 실시예에 있어서, 상기 다수 개의 칩들은 반도체메모리칩인 것을 특징으로 한다.
- <32> 바람직한 실시예에 있어서, 상기 다수 개의 칩들중 일부는 마이크로프로세서칩이고 나머지는 반도체메모리칩인 것을 특징으로 한다.
- <33> 바람직한 실시예에 있어서, 상기 다수 개의 칩들은 동적랜덤엑세스메모리 (Dynamic Random Access Memory : DRAM)칩인 것을 특징으로 한다.
- <34> 바람직한 실시예에 있어서, 상기 공통회로는 전원발생회로인 것을 특징으로 한다.
- <35> 바람직한 실시예에 있어서, 상기 다수 개의 칩들은 두 개 칩인 것을 특징으로 한다.
- <36> 이하 첨부한 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 도 2a는 본 발명의 실시예에 따른 반도체패키지의 본딩와이어링 전의 구성을 보여주는 도면이고 도 2b는 본 발명의 실시예에 따른 반도체패키지의 본딩와이어링 후의 구성을 보여주는 도면이다.
- <37> 도 2a 및 도 2b에서 리드프레임(F2)는 접지(Ground: Vss)에 연결된다.

- <38> 도 2a를 참조하면 본 발명의 실시예에 따른 반도체패키지는 두 개의 칩(Chip1, Chip2)를 포함하여 구성되며, 상기의 칩(Chip1)은 전원발생회로(DG1)와 선택회로(OL1)를 포함하여 구성되며, 상기의 칩(Chip2)은 전원발생회로(DG2)와 선택회로(OL2)를 포함하여 구성된다.
- <39> 상기 전원발생회로들(DG1, DG2)은 칩들(Chip1, Chip2)의 내부회로들(C1, C2)에 전원을 공급하기 위한 회로이다.
- <40> 상기 선택회로(OL1, OL2)는 상기 전원회로를 인에이블(Enable) 또는 디스에이블(Disable)시키기 위한 회로이며, 상기 전원회로의 온(ON)/오프(OFF) 스위치와 같은 기능을 한다.
- <41> 상기 선택회로의 입력단으로 접지(Ground : Vss)가 연결되면 상기 선택회로는 상기 전원발생회로에 제어신호를 보내 상기 전원발생회로를 디스에이블(Disable)시킨다.
- <42> 그리고 상기 선택회로의 입력단으로 접지(Vss)가 입력되지 않은 때에는 제어신호를 발생시키지 않고 상기 전원발생회로는 인에이블(Enable) 상태가 되어 칩에 전원을 공급한다.
- <43> 다만, 이와 반대로 상기 선택회로의 입력단으로 전원전압(Supply Voltage: Vdd)이 연결되면 상기 선택회로는 상기 전원발생회로에 제어신호를 보내 상기 전원발생회로를 디스에이블(Disable)시키고, 상기 선택회로의 입력단으로 전원전압 (Vdd)이 입력되지 않은 때에는 제어신호를 발생시키지 않고 상기 전원발생회로는 인에이블(Enable) 상태가 되어 칩에 전원을 공급하도록 구현하는 것도 가능하다.
- <44> 도 2a를 참조하면, 상기 전원발생회로(DG1)는 패드(P1)에 연결되고 상기 선택회로(OL1)는 패드(P3)에 연결된다. 또한, 상기 전원발생회로(DG2)는 패드(P4)에 연결되고 상기 선택회로(OL2)는 패드(P6)에 연결된다.

- <45> 패드(P2)와 패드(P5)는 리드프레임(F2)에 본딩와이어링되어 접지(Vss)로 연결된다. 도 2a의 칩(Chip1)과 칩(Chip2)에서 패드(P2,P5)만 접지단자에 연결된 리드프레임(F2)함께 연결되어 있을 뿐 패드들(P1,P3,P4,P6)은 서로 연결되어 있지 않으므로 칩(Chip1)의 전원발생회로(DG1)와 칩(Chip2)의 전원발생회로(DG2)는 각각 칩(Chip1) 및 칩(Chip2)에 필요한 전원을 공급하게 된다.
- <46> 도 2b를 참조하면, 전원발생회로들(DG1, DG2)와 선택회로들(OL1, OL2)이 패드들(P1,P4)과 패드들(P3,P6)에 연결되고, 패드들(P2,P5)이 접지(Vss)의 리드프레임(F2)에 연결되는 것은 도 2a에서와 동일하다.
- <47> 그러나, 도 2b에서 패드(P1)는 리드프레임(F1)에 본딩와이어링되고 패드(P4)는 리드프레임(F1)에 본딩와이어링되어 패드(P1)과 패드(P4)는 서로 전기적으로 연결되어 결과적으로 전원발생회로(DG1)과 전원발생회로(DG2)는 서로 전기적으로 연결된다. 또한 패드(P3)가 리드프레임(F2)에 본딩와이어링되어 접지(Vss)에 연결된다.
- <48> 도 2b에서, 패드(P3)가 리드프레임(F2)에 본딩와이어링되어 접지(Vss)에 연결되므로 선택회로(OL1)의 입력단에 접지(Vss)가 입력된다. 따라서 선택회로(OL1)는 제어신호를 전원발생회로(DG1)에 보내 전원발생회로(DG1)를 디스에이블(Disable)시킨다.
- <49> 그리고, 패드(P1)는 패드(P4)에 리드프레임(F2) 및 본딩와이어를 통해 연결되므로 디스에이블된 전원발생회로(DG1) 대신 전원발생회로(DG2)가 칩들(Chip1, Chip2)의 회로들에 전원을 공급하게 된다.

- <50> 도 2a 및 2b에서 리드프레임(F2)는 외부장치와 연결되는 외부핀(External Pin)으로 구현하고, 리드프레임(F1)은 패키지내의 칩들간의 연결을 위한 내부핀(Internal Pin)으로 구현하는 것이 가능하다.
- <51> 본 발명의 실시예에서는 동일한 구성을 갖는 두 개의 칩이 내장되어 있는 반도체패키지를 예로 들어 설명하였으나, 다른 실시예로 두 개 이상의 칩을 내장하고 있는 반도체패키지에 대하여도 본 발명의 적용이 가능하다.
- <52> 이 경우, 반도체패키지 내에 있는 일부의 칩의 전원발생회로만 인에이블(Enable)시키고 나머지 칩의 전원발생회로는 디스에이블(Disable)시켜 인에이블된 전원발생회로에서 모든 칩 내의 회로들에 필요한 전원을 공급하도록 하는 것도 가능하다.
- <53> 특히, 어느 하나의 칩의 전원발생회로만 인에이블(Enable)시키고 그 외의 칩의 전원발생회로는 디스에이블(Disable)시켜 하나의 전원발생회로에서 모든 칩 내의 회로들에 필요한 전원을 공급하도록 할 수도 있다.
- <54> 도 3a는 본 발명의 다른 실시예에 따른 반도체패키지의 본딩와이어링 전의 구성을 보여주는 도면이고 도 3b는 본 발명의 다른 실시예에 따른 반도체패키지의 본딩와이어링 후의 구성을 보여주는 도면이다.
- <55> 도 3a 및 도 3b에서 리드프레임(F2)는 접지(Ground: Vss)에 연결된다.
- <56> 도 3a를 참조하면 본 발명의 다른 실시예에 따른 반도체패키지는 세 개의 칩들(Chip1, Chip2, Chip3)을 포함하여 구성되며, 상기의 칩들(Chip1, Chip2, Chip3)은 전원발생회로들(DG1, DG2, DG3)과 선택회로들(OL1, OL2, OL3)을 포함하여 구성된다.

- <57> 상기 전원발생회로들(DG1,DG2,DG3)은 칩들(Chip1, Chip2, Chip3)의 내부회로들(C1,C2,C3)에 전원을 공급하기 위한 회로이다.
- <58> 상기 선택회로들(OL1, OL2, OL3)은 상기 전원회로를 인에이블(Enable) 또는 디스에이블(Disable)시키기 위한 회로이며, 상기 전원회로의 온(ON)/오프(OFF) 스위치와 같은 기능을 한다.
- <59> 상기 선택회로의 입력단으로 접지(Ground : Vss)가 연결되면 선택회로는 상기 전원발생회로에 제어신호를 보내 상기 전원발생회로를 디스에이블(Disable)시킨다.
- <60> 그리고 선택회로의 입력단으로 접지(Vss)가 입력되지 않은 때에는 제어신호를 발생시키지 않고 상기 전원발생회로는 인에이블(Enable) 상태가 되어 칩에 전원을 공급한다.
- <61> 도 3a를 참조하면, 상기 전원발생회로(DG1)는 패드(P1)에 연결되고 상기 선택회로(OL1)는 패드(P3)에 연결된다. 또한, 상기 전원발생회로(DG2)는 패드(P4)에 연결되고 상기 선택회로(OL2)는 패드(P6)에 연결된다. 또한, 상기 전원발생회로(DG3)는 패드(P7)에 연결되고 상기 선택회로(OL3)는 패드(P9)에 연결된다.
- <62> 패드(P2)와 패드(P5)와 패드(P8)는 리드프레임(F2)에 본딩와이어링되어 접지(Vss)로 연결된다. 도 3a의 칩(Chip1)과 칩(Chip2) 및 칩(Chip3)에서 패드(P2,P5,P8)만 접지단자에 연결된 리드프레임(F2)함께 연결되어 있을 뿐 패드들(P1,P3,P4,P6,P7,P9)은 서로 연결되어 있지 않으므로 칩(Chip1)의 전원발생회로(DG1)와 칩(Chip2)의 전원발생회로(DG2)와 및 칩(Chip3)의 전원발생회로(DG3)는 각각 칩(Chip1), 칩(Chip2) 및 칩(Chip3)에 필요한 전원을 공급하게 된다.

<63> 도 3b를 참조하면, 전원발생회로들(DG1, DG2, DG3)와 선택회로들(OL1, OL2, L3)이 패드들(P1, P4, P7)과 패드들(P3, P6, P9)에 연결되고, 패드들(P2, P5, P8)이 접지(Vss)의 리드프레임(F2)에 연결되는 것은 도 3a에서와 동일하다.

<64> 그러나, 도 3b에서 패드(P1)과 패드(P4) 및 패드(P7)는 리드프레임(F1)에 본딩와이어링되어 패드(P1)과 패드(P4) 및 패드(P7)는 서로 전기적으로 연결되어 결과적으로 전원발생회로(DG1)과 전원발생회로(DG2) 및 전원발생회로(DG3)는 서로 전기적으로 연결된다. 또한 패드(P3) 및 패드(P6)이 리드프레임(F2)에 본딩와이어링되어 접지(Vss)에 연결된다.

<65> 도 3b에서, 패드(P3) 및 패드(P6)이 리드프레임(F2)에 본딩와이어링되어 접지(Vss)에 연결되므로 선택회로(OL1) 및 선택회로(OL2)의 입력단에 접지(Vss)가 입력된다. 따라서 선택회로(OL1) 및 선택회로(OL2)는 제어신호를 전원발생회로(DG1) 및 전원발생회로(DG2)에 보내 전원발생회로(DG1)와 전원발생회로(DG2)를 디스에이블(Disable)시킨다.

<66> 그리고, 패드(P1)와 패드(P4) 및 패드(P7)는 리드프레임(F2) 및 본딩와이어를 통해 연결되므로 디스에이블된 전원발생회로(DG1) 및 전원발생회로(DG2) 대신 전원발생회로(DG3)가 칩들(Chip1, Chip2, Chip3)의 회로들에 전원을 공급하게 된다.

<67> 도 4a는 본 발명의 또 다른 실시예에 따른 PCB기판을 이용한 반도체패키지의 결선전의 구성을 보여주는 도면이고, 도 4b는 본 발명의 또 다른 실시예에 따른 PCB기판을 이용한 반도체패키지의 결선전의 구성을 보여주는 도면이다.

<68> 도 4a를 참조하면, 본 발명의 또다른 실시예에 따른 반도체패키지는 PCB기판(10)과 전원발생회로(DG1, DG2)와 선택회로(OL1, OL2)를 포함하는 두 개의 칩(Chip1, Chip2)으로 구성된다.

- <69> 도 4a에서, 패드들(P2,P5)은 결선부(20)에 의해 접지(Ground :Vss)에 연결되어 있다. 도 2a 및 도 3a에서와 같이, 칩(Chip1)과 칩(Chip2)에서 패드(P2,P5)만 접지단자에 연결된 리드 프레임(F2)함께 연결되어 있을 뿐 패드들(P1,P3,P4,P6)은 서로 연결되어 있지 않으므로 칩(Chip1)의 전원발생회로(DG1)와 칩(Chip2)의 전원발생회로(DG2)는 각각 칩(Chip1) 및 칩(Chip2)에 필요한 전원을 공급하게 된다.
- <70> 도 4b를 참조하면, 패드(P1)과 패드(P4)는 결선부(30)에 의해 서로 전기적으로 연결된다. 따라서, 전원발생회로(DG1)과 전원발생회로(DG2)는 서로 전기적으로 연결된다. 또한 패드(P3)가 결선부(20)에 연결되어 접지(Vss)에 연결된다. 따라서 선택회로(OL1)는 제어신호를 전원발생회로(DG1)에 보내 전원발생회로(DG1)를 디스에이블(Disable)시킨다.
- <71> 그리고, 패드(P1)과 패드(P4)는 결선부(30)에 의해 연결되어 있으므로 디스에이블된 전원발생회로(DG1) 대신 전원발생회로(DG2)가 칩들(Chip1, Chip2)의 회로들에 전원을 공급하게 된다.
- <72> 본 발명은 반도체패키지 내의 칩들이 동일한 구성을 갖는 경우에만 본 발명의 적용이 가능한 것은 아니다.
- <73> 본 발명은 서로 다른 구성 및 특성을 갖는 칩들을 내장하고 있는 반도체패키지에 대하여도 그 적용이 가능하다.
- <74> 예컨대, MCP(Multi Chip Package), SIP(System In Package)처럼, 서로 다른 사양의 칩이 한 개의 패키지로 내장이 되는 경우에도, 각각의 칩내에는 전원발생회로와 같이 그 기능이 공통되는 회로들이 존재하므로, 이러한 전원발생회로중 일부를 디스에이블시키고 일부의 전원발



생회로만을 인에이블시켜 인에이블된 전원발생회로가 디스에이블된 전원발생회로가 있는 칩내의 회로들에 전원을 공급하도록 함으로써 패키지 내의 전체전류를 줄일 수 있다.

<75> 이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상 및 범위를 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<76> 본 발명에 의하면, 반도체 패키지 내의 칩들의 모든 전원발생회로들을 동작시키지 않고 일부 칩 내의 전원발생회로만을 동작시켜 전체 칩에 전원을 공급할 수 있으므로 반도체 패키지의 전체전류가 감소되는 효과가 있다.



【특허청구범위】

【청구항 1】

다수 개의 칩들을 포함하여 구성되는 반도체패키지에 있어서,

상기 칩들은 각각 동일기능을 하는공통회로를 구비하고,

상기 칩들 중 일부의 공통회로가 인에이블(Enable)되면 나머지 칩들의 공통회로는 디스에이블(Disable)되며,

상기 인에이블된 공통회로들이 상기 디스에이블된 공통회로가 있는 칩들에 상기 공통회로의 기능을 대신 제공하는 것을 특징으로 하는 멀티칩을 내장한 반도체패키지.

【청구항 2】

제 1항에 있어서,

상기 다수 개의 칩들은 반도체메모리칩인 것을 특징으로 하는 멀티칩을 내장한 반도체패키지.

【청구항 3】

제 1항에 있어서,

상기 다수 개의 칩들은 마이크로프로세서칩인 것을 특징으로 하는 멀티칩을 내장한 반도체패키지.

【청구항 4】

제 1항에 있어서,

상기 다수 개의 칩들중 일부는 마이크로프로세서칩이고 나머지는 반도체메모리칩인 것을 특징으로 하는 멀티칩을 내장한 반도체패키지.

【청구항 5】

제 1항 내지 제 4항중 어느 한 항에 있어서,

상기 다수 개의 칩들은 두 개 칩인 것을 특징으로 하는 멀티칩을 내장한 반도체패키지.

【청구항 6】

제 1항 내지 4항중 어느 한 항에 있어서,

상기 공통회로는 전원발생회로인 것을 특징으로 하는 멀티칩을 내장한 반도체패키지.

【청구항 7】

제 1항 내지 4항중 어느 한 항에 있어서,

상기 공통회로는 클럭버퍼인 것을 특징으로 하는 멀티칩을 내장한 반도체패키지.

【청구항 8】

제 1항 내지 4항중 어느 한 항에 있어서,

상기 공통회로는 신호발생회로인 것을 특징으로 하는 멀티칩을 내장한 반도체패키지.

【청구항 9】

다수 개의 칩을 포함하여 구성되는 반도체패키지에 있어서,

상기 칩들은:

각각 동일기능을 하는 공통회로와;

인에이블 /디스에이블 선택부를 구비하며,

상기 칩들중 일부의 공통회로가 상기 인에이블/디스에이블 선택부에 의해 인에이블되고,
나머지 칩들의 공통회로가 상기 인에이블/디스에이블 선택부에 의해 디스에이블되며,

상기 인에이블된 공통회로들이 상기 디스에이블된 공통회로가 있는 칩들에 상기 공통회로의 기능을 대신 제공하는 것을 특징으로 하는 멀티칩을 내장한 반도체패키지.

【청구항 10】

제 9항에 있어서,

상기 다수 개의 칩들은 반도체메모리칩인 것을 특징으로 하는 멀티칩을 내장한 반도체패키지.

【청구항 11】

제 9항에 있어서,

상기 다수 개의 칩들은 반도체메모리칩인 것을 특징으로 하는 멀티칩을 내장한 반도체패키지.

【청구항 12】

제 9항에 있어서,

상기 다수 개의 칩들중 일부는 마이크로프로세서칩이고 나머지는 반도체메모리칩인 것을 특징으로 하는 멀티칩을 내장한 반도체패키지.

【청구항 13】

제 9항 내지 제 12항중 어느 한 항에 있어서,

상기 다수 개의 칩들은 두 개 칩인 것을 특징으로 하는 멀티칩을 내장한 반도체패키지.

【청구항 14】

제 9항 내지 12항중 어느 한 항에 있어서,

상기 공통회로는 전원발생회로인 것을 특징으로 하는 멀티칩을 내장한 반도체패키지.

【청구항 15】

제 9항 내지 12항중 어느 한 항에 있어서,

상기 공통회로는 클럭버퍼인 것을 특징으로 하는 멀티칩을 내장한 반도체패키지.

【청구항 16】

제 9항 내지 12항중 어느 한 항에 있어서,

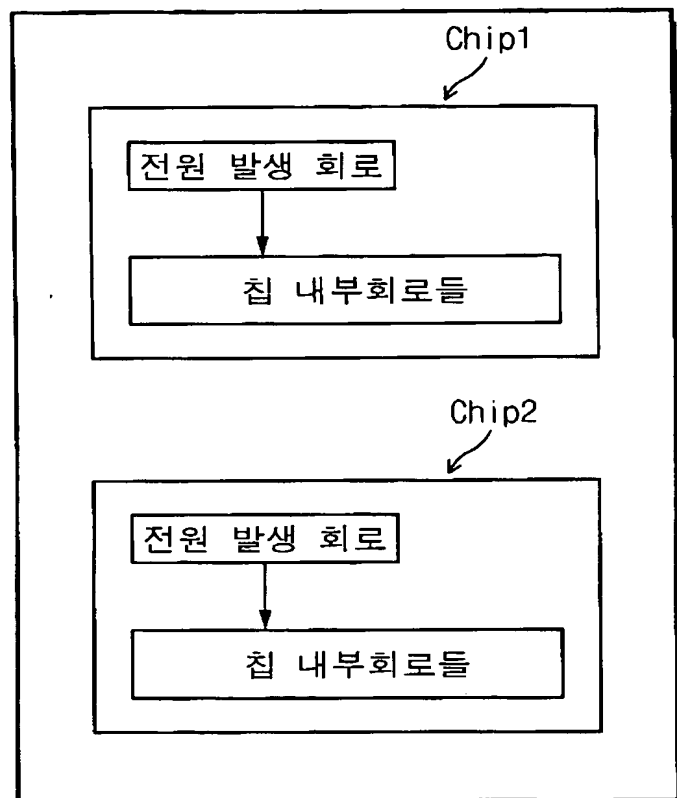
상기 공통회로는 신호발생회로인 것을 특징으로 하는 멀티칩을 내장한 반도체패키지.

【도면】

【도 1】

(종래 기술)

100

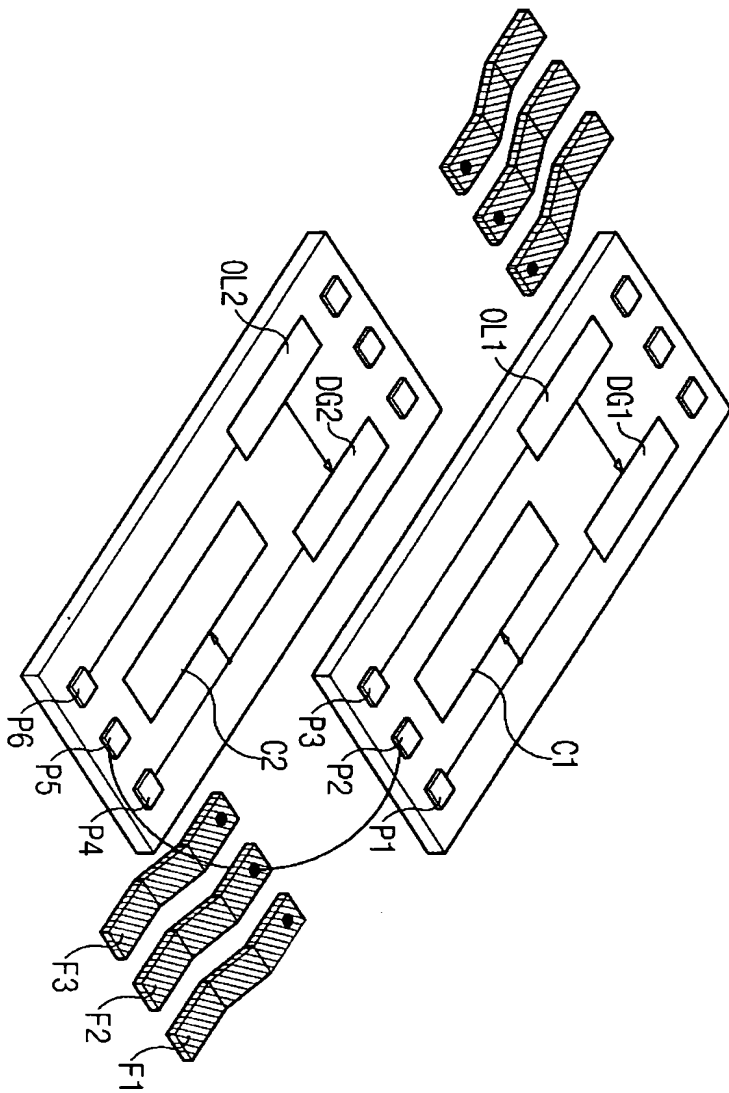




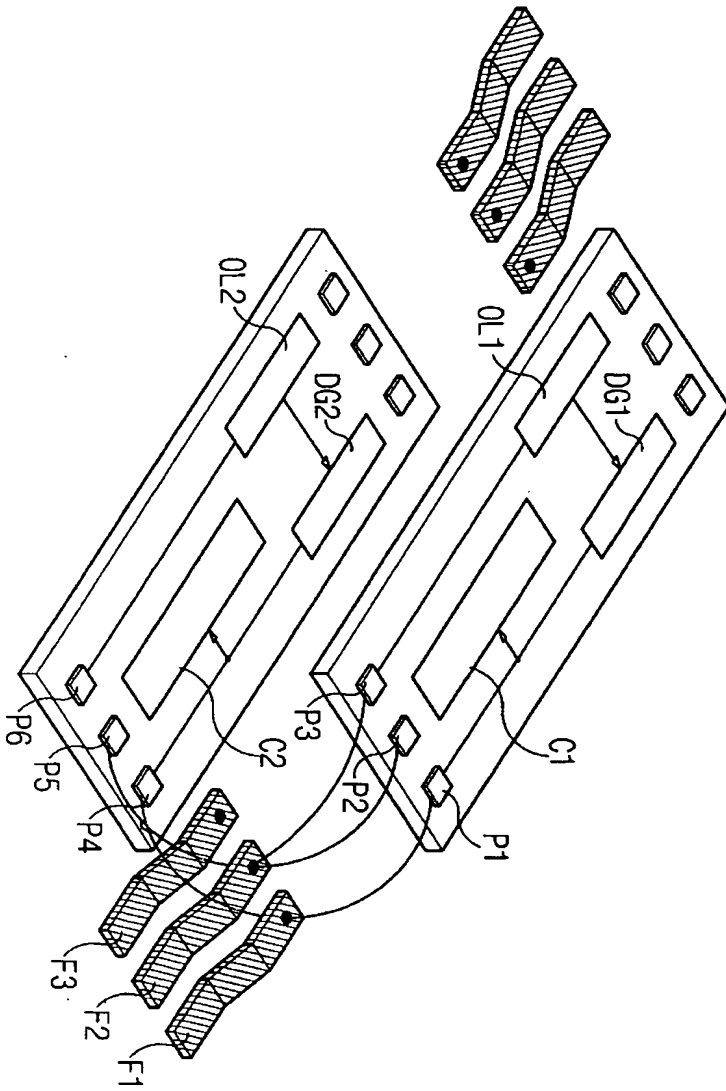
1023030044677

출력 일자: 2004/1/5

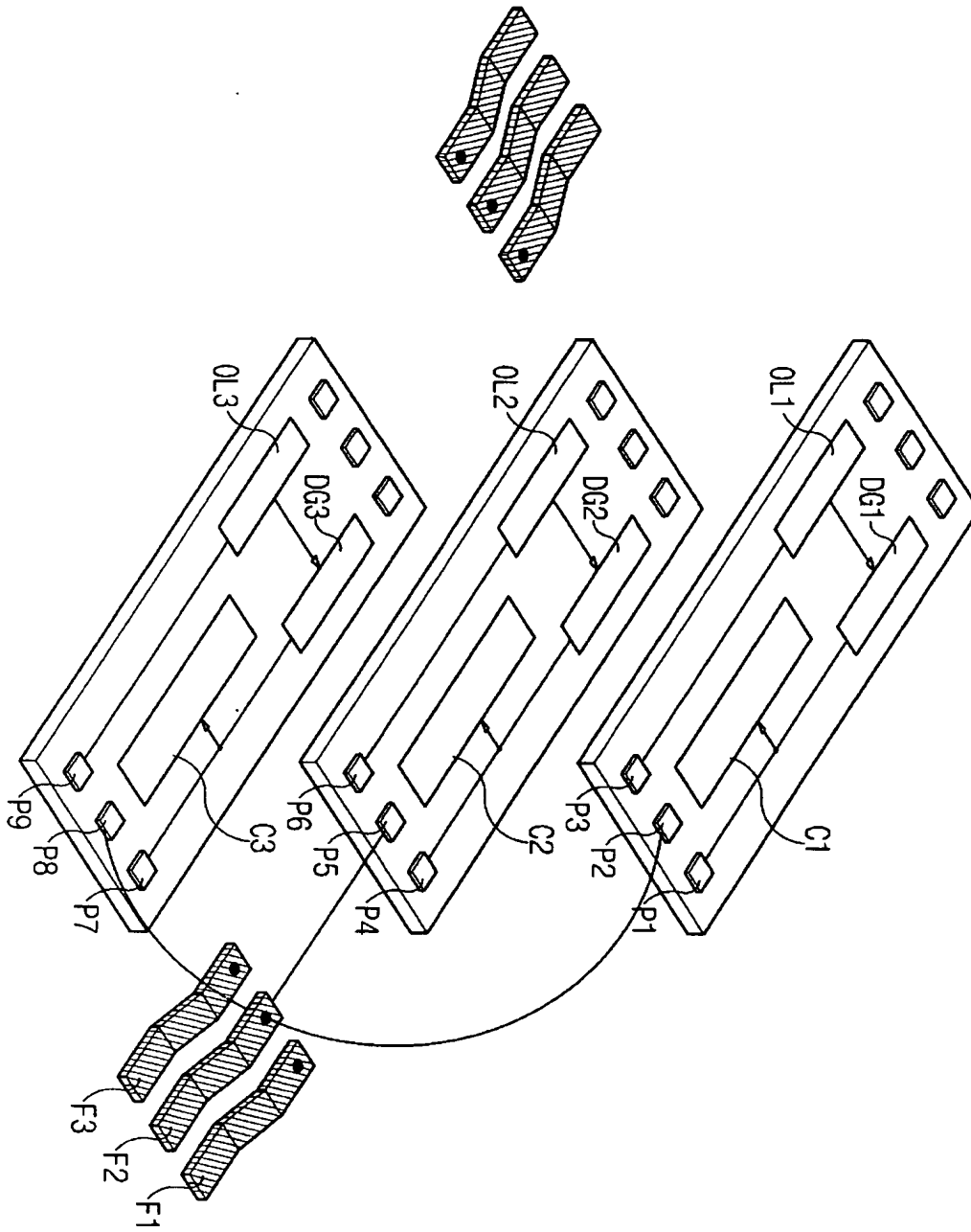
【도 2a】



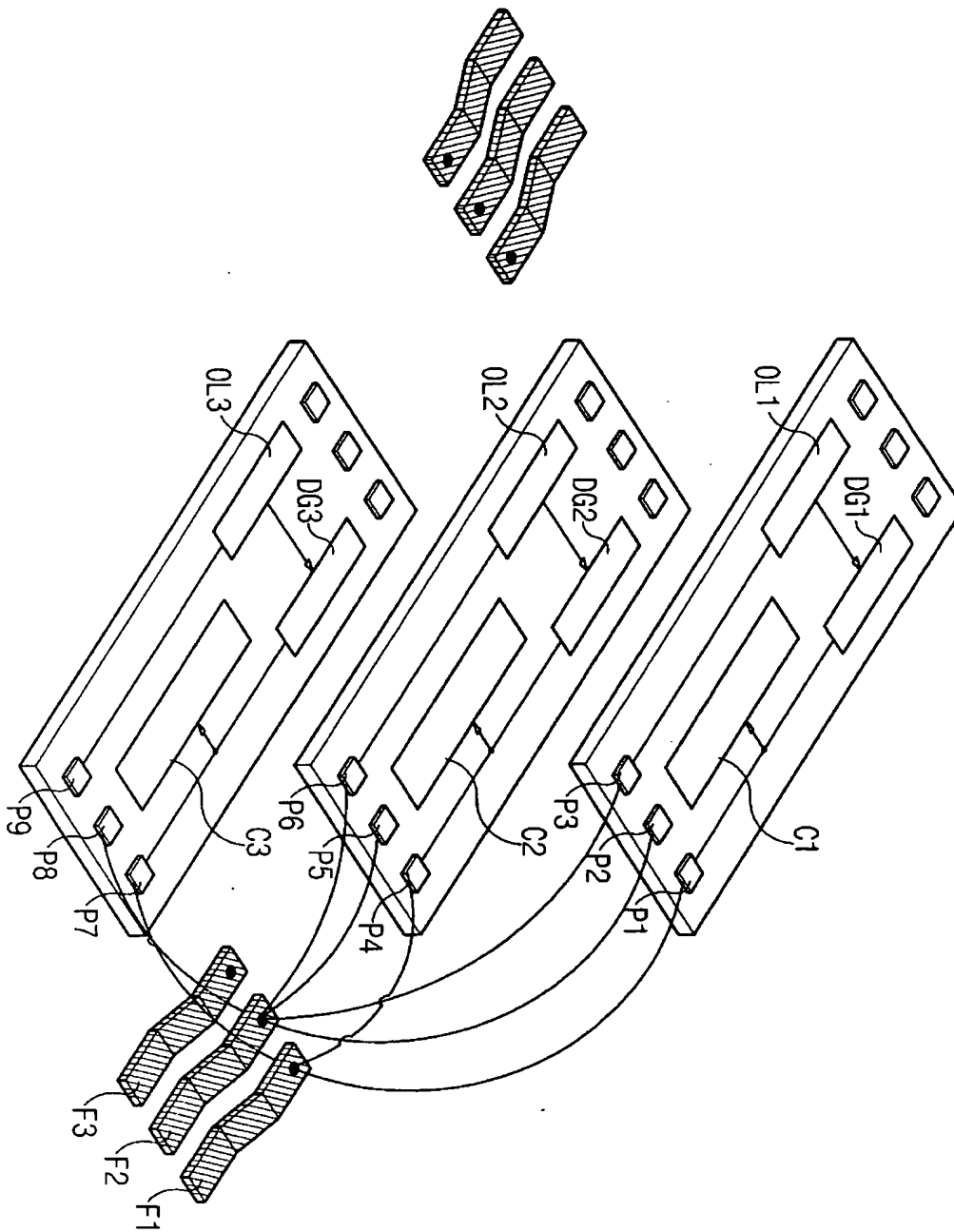
【도 2b】



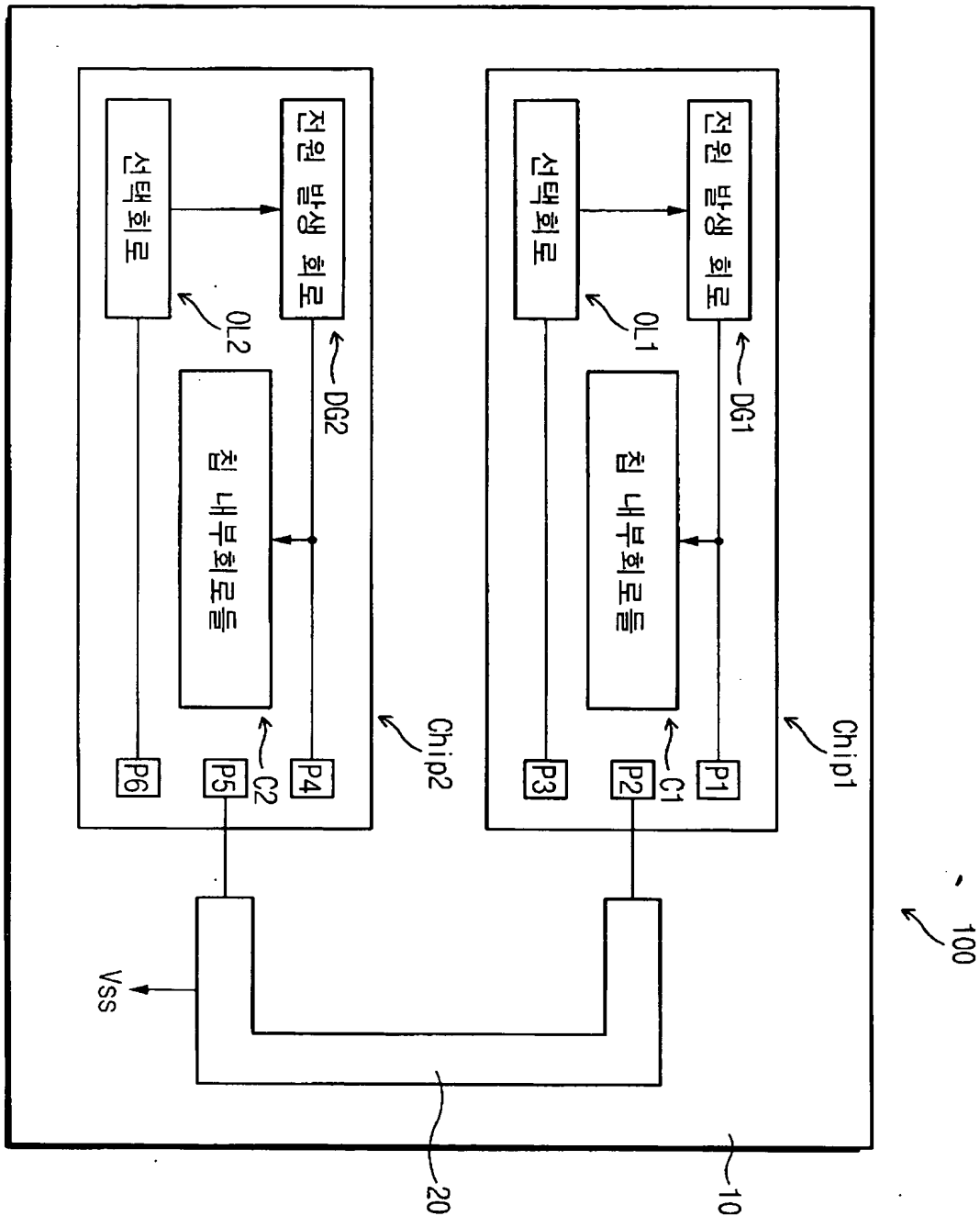
【도 3a】



【도 3b】



【도 4a】



【도 4b】

